**Архітектура обчислювальних систем та схемотехніка**

***Лабораторна робота №5***

Виконала:

Cтудентка групи ПМО-11

Кравець Ольга

**Тема:** Побудова і дослідження регістрових схем.

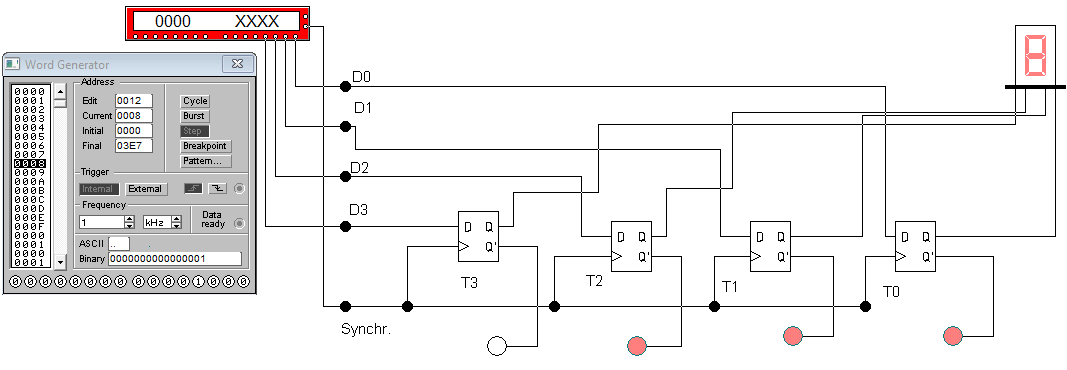
**Мета**: З використанням можливостей пакета EWB побудувати логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірити роботу схем та створити макроелементи кожної схеми.

**Результат роботи:**

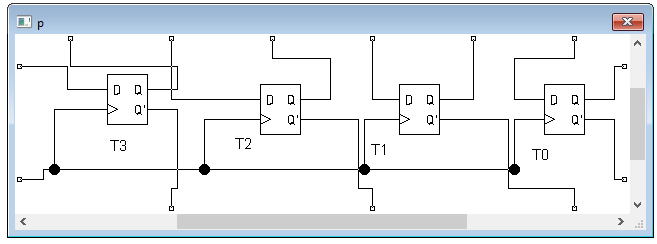
Попередньо ознайомившись з можливостями Electronics Workbench (EWB) та теоретичними відомостями до Лабораторної роботи №5, за допомогою D-тригерних схем синтезувала у робочому полі логічні схеми чотирирозрядних регістрів паралельної та послідовної дії.

Входи синтезованих схем приєднала до вихідних клем молодших розрядів генератора слів, а виходи – до аналізатора логічних рівнів або індикатора.

**Паралельний регістр:**



**Макроелемент (P-регістр):**



Для цього використано:

● Decoded Seven-Segment Display (1 шт)

● D Flip-Flop (4 шт)

● Connector (3 шт)

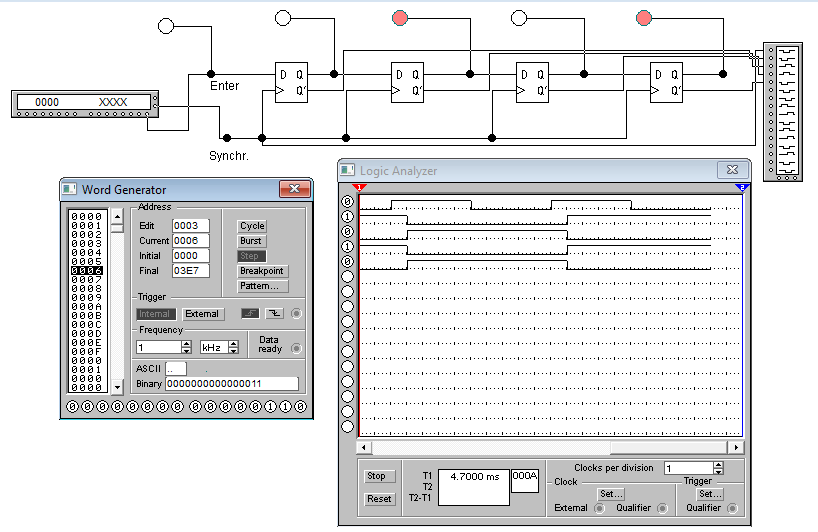
● Word Generator (1 шт)

За допомогою клавіші STEP генератора слів покроково перебрала всі комбінації вхідних сигналів. Результати роботи схеми спостерігати за допомогою індикатора і записати їх у таблицю істинності.

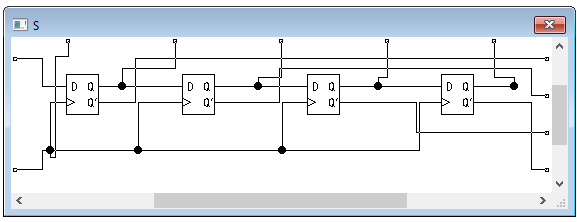
**Отримана таблиця істинності:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **D3** | **D2** | **D1** | **D0** | **T0** | **T1** | **T2** | **T3** | **Result** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | **0** |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | **1** |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | **2** |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | **3** |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | **4** |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | **5** |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | **6** |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | **7** |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | **8** |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | **9** |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | **A** |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | **B** |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | **C** |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | **D** |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | **E** |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | **F** |

**Послідовний регістр:**



**Макроелемент (S-регістр):**



Для цього використано:

● D Flip-Flop (4 шт)

● Connector (9 шт)

● Indicator (5 шт)

● Logic Analyzer (1 шт)

● Word Generator (1 шт)

За допомогою клавіші STEP генератора слів покроково перебрала всі комбінації вхідних сигналів. Результати роботи схеми спостерігала за допомогою аналізатора логічних рівнів і записала у таблицю істинності.

**Отримана таблиця істинності:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Enter** | **Q0** | **Q1** | **Q2** | **Q3** |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |

**Висновок:** Виконуючи цю лабораторну роботу, я ознайомилася з можливостями програмного симулятора Electronics Workbench для побудови логічних схем регістрових схем на базі тригерних елементів пам’яті. Також навчилася створювати їхні макроелементи, склала таблиці, щоб перевірити правильність схем.